

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144962  
 (43)Date of publication of application : 29.05.1998

(51)Int.Cl. H01L 33/00  
 H01S 3/18

(21)Application number : 09-226608 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 22.08.1997 (72)Inventor : SUGAWARA HIDETO  
 ISHIKAWA MASAYUKI

(30)Priority  
 Priority number : 08239335 Priority date : 10.09.1996 Priority country : JP

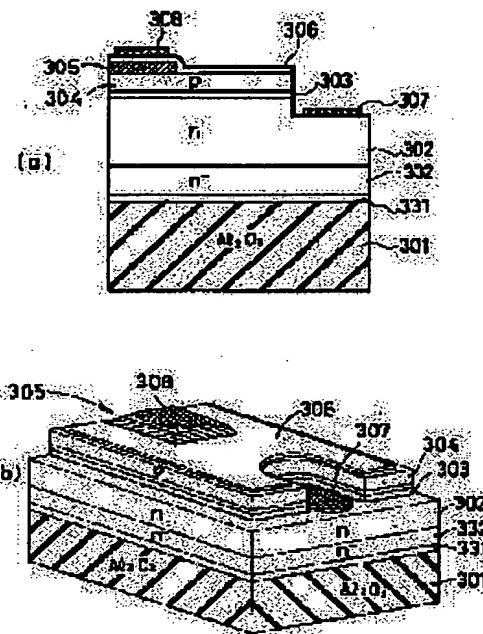
## (54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify a process of making element and to obtain a high brightness light-emitting element, which has property of high reproducibility and reliability by forming an n-type cap layer at an upper part of a p-type semiconductor region of a semiconductor light-emitting element having a laminated structure of a specific GaN semiconductor.

**SOLUTION:** A semiconductor light-emitting element, which has a laminated structure of GaN semiconductor shown by a formula  $In_xAl_yGa_{1-x-y}N$  (where,  $0 \leq x, y \leq 1$ ), has an n-type semiconductor region 302 to implant electrons and holes into a light-emitting region and a p-type semiconductor region 304, and is made to form an n-type cap layer 305 on the upper part of the p-type semiconductor region 304. For example an n-type  $In_xAl_yGa_{1-x-y}N$  buffer layer 331, an n-type GaN layer 332, and n-type GaN clad layer 302, an undoped  $In_xAl_yGa_{1-x-y}N$  active layer 303 and a p-type GaN clad layer 304 are formed by laminating on a sapphire substrate 301.

Additionally, the n-type GaN cap layer 305, a thin-film metal layer 306, a p-side electrode 038 and an n-side electrode 307 are formed thereon.



## LEGAL STATUS

[Date of request for examination]	26.09.2000
[Date of sending the examiner's decision of rejection]	07.05.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3361964
[Date of registration]	18.10.2002
[Number of appeal against examiner's decision of rejection]	2002-10201
[Date of requesting appeal against examiner's decision of rejection]	06.06.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-144962

(63)公開日 平成10年(1998)5月29日

(51)In.Cl.  
H01L 33/00  
H01S 3/18

発明の名前  
F. I.  
H01L 33/00  
H01S 3/18

(21)出願番号 特願平9-228698	(71)出願人 00003078 株式会社東芝
(22)出願日 平成9年(1997)8月22日	(72)発明者 柴原 考人 神奈川県川崎市幸区相川町72番地 社東芝川崎事業所内
(31)優先権主張番号 特願平8-238355	(72)発明者 石川 正行 神奈川県川崎市幸区相川町72番地 社東芝川崎事業所内
(32)優先日 平8(1996)9月10日	(74)代理人 幸利 三好 秀和 (外3名)
(33)優先権主張国 日本 (JP)	

## (54) [発明の名前] 半導体発光素子およびその製造方法

## (57) [要約]

[課題] 製造が簡便で高発光効率のGaN系半導体発光素子を提供する。  
[解決手段] GaN系の半導体発光素子のpn接合発光層を構成するP型クラッド層304の上部にn型キャップ層305を形成し、P型クラッド層のアクセプターノンホモジニティを高くする。またn型キャップ層を流状導導層に用いる。

【請求項1】 一般式In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0≤x,y≤1)で示されるGaN系半導体の積層構造を有する半導体発光素子であって、  
該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびP型半導体領域を少なくとも具備し、  
該P型半導体領域の上部にn型キャップ層が形成されていることを特徴とする請求項1の記載の半導体発光素子の製造方法。

【請求項1-2】 前記積層構造の後に、前記n型In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0<u,v<1)キャップ層をこの順番で同一成長室内で連続的に成長する群層工程により形成することを特徴とする半導体発光素子の製造方法。  
【請求項1-1】 前記群層工藝はOCVDで形成することを特徴とする請求項1の記載の半導体発光素子の製造方法。

【請求項1-3】 前記n型In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nキャップ層の一端を遮断的に除去し、前記P型のクラッド層を露出させることを特徴とする請求項1の記載の半導体発光素子の製造方法。

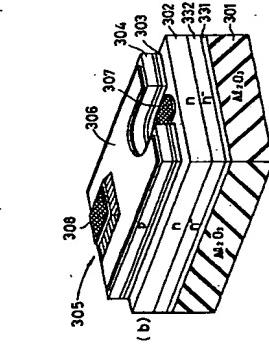
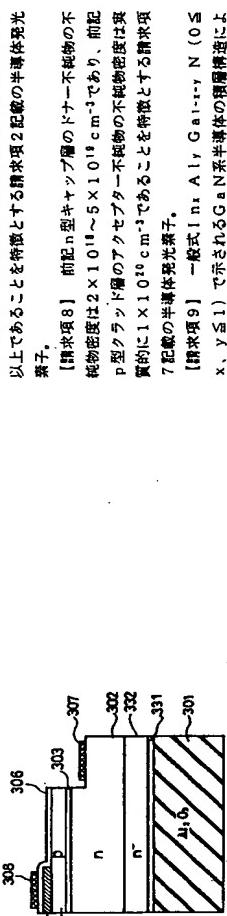
【請求項1-4】 前記積層構造の半導体発光素子の上に、さらに透明電極層を形成することを特徴とする請求項1の記載の半導体発光素子の製造方法。

【請求項1-5】 前記積層構造の一部を遮断的に除去し、前記P型クラッド層の一部を露出させたP型クラッド層の一部、前記活性層の一部を除くし、前記活性層の一部を露出させる工程をさらに有することを特徴とする請求項1の記載の半導体発光素子の製造方法。

【請求項1-6】 前記3ガスとキャリアガスのみを供給し続ける成長中にN<sub>2</sub>を行ない、次にn型In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nキャップ層を成長することを含む工程であることを特徴とする請求項1の記載の半導体発光素子の製造方法。

【請求項1-7】 一般式In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0≤x,y≤1)で示されるGaN系半導体の積層構造により形成される半導体発光素子であって、  
該積層構造は、発光領域に電子および正孔を注入するためのn型半導体領域およびP型半導体領域を少なくとも具備し、  
該積層構造を不活性ガスをキャリアガスとして用いた気相エピキシャル成長法で形成することを特徴とする半導体発光素子の製造方法。

【請求項1-8】 一般式In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0≤x,y≤1)で示されるGaN系半導体の積層構造により成長温度から室温まで降温することを特徴とする半導体発光素子の製造方法。  
【請求項1-9】 前記キャリアガスは少なくとも水素(H<sub>2</sub>)を含むキャリアガスであり、前記積層構造の頭



みは最終予定膜厚より早く設定し、前記疊層過程において水蒸ガスによるエッチングを行なひ、最終予定膜厚を得ることを特徴とする請求項11記載の半導体発光素子の製造方法。

## 【発明の詳細な説明】

【0001】【発明の属する技術分野】本発明は化合物半導体材料を用いた発光ダイオード(LED)や半導体レーザ等の半導体発光素子の構造とその製造方法に係わり、特に窒化ガリウム(GaN)系半導体からなる半導体発光素子とその製造方法に係わる。

## 【0002】

【従来の技術】In, Al, Ga系N等のGaN系半導体はその光学遷移型(エネルギーダイヤグラム)が直接遷型であるため高効率発光素子構成が可能であり、またその遷移エネルギーが2~6.2eVと広く、緑、青色、青色~紫外等の短波長半導体レーザあるいは高輝度短波長LEDなどの高効率発光素子材料としてその開発が行われている。

## 【0003】

4元系半導体であるIn, Al, Ga, AIN, InNの組み合せにより構成されるものであるが、このなかでも、特にGaNについての開発が盛んに行われてきた。GaNは融点が1700℃以上と高く、また成長温度での繊維の成長蒸気圧が極めて高いことから化学量論的組成(ストイキオメトリ)の制御が困難で、バルク単結晶の成長が困難である。したがって、現在のところ、その単結晶成長はハイドロド気相成長(HVD)法や有機金属気相成長(MOCVD)法が主として用いられている。最近は、中でMOCVD法を用いた成長方法の開発が盛んに行われ、GaNにInあるいはAlを混ぜたIn, Al, Ga, AINの3元系温度が得られている。これらGaN系材料の複数の組み合せからなるヘテロ接合構造を用いれば発光効率の向上が可能となる。特にInをキャリヤーの間に挟めや光の閉じ込めに有効なアルベトロ(DH)構造を形成することにより高輝度短波長LEDや短波長LDを実現することができる。

## 【0004】

【発明が解決しようとする課題】電流注入型の発光素子を製造する場合、pn接合を基本とするため、P型、n型半導体領域形成のための伝導型の制御は重要である。GaN系半導体においては、n型の伝導型制御はSiを不純物原素として用いることにより比較的容易に行なうことができる。しかしながら、P型半導体領域に対する伝導型制御は一概には困難である。つまりP型に対してはMgあるいはZnが主なアカセプター不純物として用いられ、Mgが主なアカセプター不純物がその導電が深いことから活性化率が低く、加えてMOCVD法による成長においては原料ガスとして用いるアンモニア(NH<sub>3</sub>)の分

解生成分である原子状水素による不活性化が起こるためと考えられている。(J. A. Van Vechten, et al., Jpn. J. Appl. Phys. 31 (1992) 3662)。

【0005】つまりMgドープGaN層をMOCVD法等により成長する際に、そのMgドープGaN層の成長後、基板温度を高温まで降低(この時ストイキオメトリーを削除するため、すなわち成長層からのNの解離が無いように5族元素ガスであるNH<sub>3</sub>ガスは供給し続けるのが一般的であるが、)すると、成長層に原子状水素が取り込まれて、このHによってアカセプターが不活性化されるとMgドープGaN層は高抵抗となってしまう問題が知られる。たとえばMgを1×10<sup>20</sup>cm<sup>-3</sup>ドープしたGaN層の場合、このGaN層のHの不純物密度は5×10<sup>19</sup>cm<sup>-3</sup>であり、同条件で成長したアンドープおよびn型GaN層に比べてp型GaN半導体層における発光効率を算出することが可能となる。

【0006】これに対し、MgドーピングしたGaNに対して電子顕微鏡(H. Amano, et al., Jpn. J. Appl. Phys. 28 (1989) L211)や熱処理(S. Nakamura, et al., Jpn. J. Appl. Phys. 31 (1992) 1258)を行うことによって活性化率が向上することが見いだされ、高効率発光素子の実現の可能性が広まりつつあるが、電子線照射や熱処理という複雑な工程が必要となる問題がある。さらに電子線照射の場合には高価な電子線照射装置が必要であり製品のコストが高くなるという問題もある。

【0007】また、高効率のLED素子を実現するためには高い光取り出し効率が必要であり、このためにはGaN, Al, AsやGaN系の発光素子で用いられるような特殊な構造を実現する必要がある。具体的には電気抵抗が低く、薄膜で発光に対して透明な層を用い、素子内部での発光強度を拡大し、電極に遮蔽されることなく素子外部へ光を取り出す構造のものである。しかしながらGaN系材料では、特にP型の半導体層上にn型の電気的特性を示すキャップ層を組み合わせて半導体層と基板の間にキャップ層やアンドープ又はn型の半導体層とn型半導体層でpn接合を形成してpn接合を形成したとごろ、低抵抗(低抵抗率)によって活性化率が高まらない。またpn接合、シングルヘッド(SH)構造、ダブルヘッド(DH)構造のいずれであってもかまわない。

【0008】より具体的には、本発明のP型のGaN系半導体層はMgあるいはZn等のアカセプター不純物を含む半導体層とn型半導体層でpn接合を形成し、また表面モロジーや結晶性的改善のためにn型半導体層と基板の間にキャップ層を設けた構造である。しかしキャップ層はn型GaN系半導体層とpn接合を形成することができない。pn接合はn型のアカセプター不純物を抑制しない限りpn接合を構成したとごろ、低抵抗(低抵抗率)によって活性化率が高まらない。またpn接合によって半導体層等の直が熱アニールなしで得られるのである。また、両者の結合中に含まれるHの不純物密度も図2(b)に示すように熱アニールしたものと同等であった。したがって、図1又は図3に示す本発明の第1の特徴の構造はp型キャップ層305の上部全面にn型キャップ層303との間の成長中間条件の4つ(0<u, v<1)で形成することが好ましい。

【0009】本発明は上記事情を考慮してなされたもので、その目的とするところはGaN系発光素子の形成において、電子ビオロセスの簡素化ができ、かつ特性的可靠性および信頼性の高い高輝度発光素子およびその製造方法を提供することにある。

【0010】より具体的には、電子線照射や熱処理等の特別な処理を用いてアカセプター不純物の活性化が可能で、高い光取り出し効率を有した発光素子の構造を提供すること、およびその簡便な製造方法を提供することを目的とする。

【0011】特に本発明の目的はp型伝導型制御が容易で高い発光効率を得ることが可能なGaN系半導体からなる発光素子を簡単な構造で実現することである。

【0012】【課題を解決するための手段】上記目的を達成するための手段】この発明による発光素子は、一般式In<sub>x</sub>Al<sub>y</sub>GaN系半導体の構造と同様であるが、この構造は、発光領域に電子注入および正孔を注入するためのpn接合を設けた構造である。このpn接合はp型半導体層とn型半導体層とが接する構造である。

【0013】より具体的には、n型のGaN系半導体(In, Al, Ga<sub>1-x</sub>N)層の上にp型のGaN系半導体層を形成した発光素子構造において、この構造は、発光領域に電子注入および正孔を注入するためのpn接合を設けた構造である。このpn接合はp型半導体層305およびn型半導体層303との間の成長中間条件の4つ(0<u, v<1)で形成したとごろ、低抵抗(低抵抗率)によって活性化率が高まらない。

【0014】より具体的には、本発明のP型のGaN系半導体層はMgあるいはZn等のアカセプター不純物を含む半導体層とn型半導体層でpn接合を形成し、また表面モロジーや結晶性的改善のためにn型半導体層と基板の間にキャップ層を設けた構造である。

【0015】図2(a)は図1で示した本発明の第1の特徴の構造に対して2次イオン質量分析器(SIMS)を用いて、n型キャップ層305の上部全面にn型キャップ層303を測定したMgの不純物密度プロファイルを示す。n型キャップ層305中のMgの不純物密度は実験結果で示すn型キャップ層305とp型半導体層304との部を選択的に除去した構造である。このように後の工程でn型キャップ層305の一部を除してもアセ

間の成長中断時間が1秒の場合と破線で示す成長中断時間が30秒の場合の2通りについて示している。ここで「成長中断」とは基板温度を成長温度に保つまま、特定のガスのみを流すステップを言う。図2(a)からわかるように、成長中断ステップにより積層界面でのMg<sub>(b)</sub>はp型半導体層の厚さに対する依存性を示す。n型キャップ層305の厚さを1μm以上とすれば、Hの不純物密度は5×10<sup>19</sup>cm<sup>-3</sup>となることがある。図2(b)には前述のGaN系発光素子に見られるn型キャップ層の積層を行わない構造の場合のHの不純物密度も同時に示す。O印で示す蒸気技術におけるHの不純物密度は5×10<sup>19</sup>cm<sup>-3</sup>であり、同成長条件で成長したアンドープおよびn型GaN層は10倍以上のHの取り込みが解っていることが知られている。

10  
ら本説明では、 $p$ -型 GaN 層の Mg の不純物濃度を質的的に  $1 \times 10^{10} \text{ cm}^{-3}$  とする。「量的的」には正確に  $1 \times 10^{10} \text{ cm}^{-3}$  とする必要はないが、 $5 \times 10^{11} \sim 1.5 \times 10^{11} \text{ cm}^{-3}$  の範囲程度で増減があるとしてもかまわないという意味である。つまり、表面モルホジーの発生しない最大の不純物濃度と同様に解してよ。

[0021] 特に、本発明の第3の成長方式としてMOCVD法が好ましく、この際、M&R等のケセプター不純物を含むP型GaN半導体層の上に、NH<sub>3</sub>ガスとキャリアガスのみを供給した。「成長中断」ステップを経て、N型のInAlGai-uy-Nからなるキャサブ層を連続成長することが望ましい。

100/2/2 キヤウカガの4のサム、G/Nがナホ等サ  
子の製造方法に係る。具体的にはサファイア基板等の所  
の基板の上にN型のGaN/N系半導体層を形成後、D型のGaN  
系半導体層等からなる鏡面構造を光エビチャル  
成長法で成長し、その鏡面構造の最高層を形成後、TM  
G等の3族元素原料ガスとNH<sub>3</sub>等の5族元素原料ガス  
の供給を停止し、キャリアガスの稼働気中、基板置換  
を成長温度から室温まで降温することである。この際の  
キャリアガスとしてはN<sub>2</sub>、Ar、He等の不活性ガス  
が好ましく、特にN<sub>2</sub>の溶解（再溶解）に伴う化学量的  
組成の変化を考慮するとN<sub>2</sub>又はN<sub>2</sub>を含むキャリアガ  
スが好ましい。  
[0018] また本発明の第2の特徴によれば、鏡面か  
つ時時間のかかる特別な工程を付加する必要がない。この  
ため、P型のGaN/N系半導体層の低抵抗化に際し電子化  
20 レプロセスを簡略化することが出来るので製造歩留りが高  
くなり、生産性が向上する。さらに短時間で製品を製造  
できるので実質的な生産コストが下がり、工業的価値は  
大きくなる。特にn型のGaN/A<sub>1</sub>、G<sub>1</sub>-Al<sub>0.9</sub>、Nキヤップ  
層を用いることでキャップ層の下地のエッチング選択性  
が向上するので、キャップ層の加工が容易となる。  
[0023] また基板回復の際時時間の短縮の傾向が本発明  
の特徴である。

する点からは、気相エビキシアル成長時のキャラリアガスを構成時と同じ不活性ガスとしておくことが好ましい。構成時に不活性ガスを界面阻抑することで、從来技術のようないNH<sub>3</sub>の分解した原子状水素がエビキシアル成長層に取り込まれることなく、アクセスアラバート物の活性化率が高まる。

100-24) 本実験の結果の特徴はアノニア基濃度の増加に伴う、 $\text{N}_{\text{H}}/\text{N}$  比の増加である。アノニア濃度をこの反応の始原濃度と同一成膜量での反応濃度に成長する工程基板上にn型GaN半導体層、p型のGaN系半導体層等による複層構造と、全体の成長過程に必要な要素を少なくてとも含む點で異なる。n型の $\text{N}_{\text{H}}/\text{N}$ 比は、N島は $1 \mu\text{m}$ 以上層構造する。ここで「連続的成長」とは上記各層の成長を「途中で大気に晒すことなく」に」とは上記各層の成長を「途中で大気に晒すことなく」という意味である。すなわち、前述した、途中でソースガスの一部の供給を止めるような「成長中断」が合

に所望の順度のエビキシャル成長層を得ることであ  
る。基材を気相エッチングしながら降着することによつ  
ても原子状水素(H<sub>1</sub>)のエビキシャル成長層中への吸  
込まれが抑制され、アクセバ不純物の活性化率が  
上する。

[0025] In Al<sub>x</sub>Gal<sub>y</sub>Nキヤップ層を形成することによりアセチレートの活性化率を向上させることができ、P型のクラッド層の透光率が下がる。その結果半導体発光素子の発光効率が向上する。また、遮光的なエピタキシアル成膜による筋層構造を用いて電流挿入構造が容易に実現できるのでさらには光発効率が向上する。また本発明は、Al<sub>x</sub>Gal<sub>y</sub>Nの積層技術についてGaNの

[0026] 第1の実施の形態（第1の実施の形態）は最初に本発明の第1の実施の形態の基本技術となるGaN系半導体（1-n）Al<sub>x</sub>Gal<sub>y</sub>Nの積層技術についてGaNの

[0027] [発明の実施の形態] 以下図面を参照して本発明の実施の形態を説明する。

卷之三

ら本説明では、P型 GaN 層の Mg の不純物濃度を実質的に  $1 \times 10^{10} \text{ cm}^{-3}$  としている。「実質的」にとは正確に  $1 \times 10^{10} \text{ cm}^{-3}$  とする必要はないが、 $5 \times 10^9 \text{ cm}^{-3}$  ～  $1 \times 10^{11} \text{ cm}^{-3}$  の範囲程度で多少増減があるとしてもかまわないという意味である。つまり、表面がロジーの荒れが生じない最大の不純物濃度と同意義に解してよい。

図2 (a) は図1の構造においてp型GaN上に成長したMgの不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ とした時のSIMSによるMgの膜厚方向の不純物濃度プロファイルを示す。図2 (a) は2通りの成長中断条件の場合の結果を示すが、成長中断条件によりn型キャッシュ層の厚さが大きく異なる。

シラン ( $\text{Si}(\text{H}_4)$ ) 等を用い、窒素ガス (キャリアガス) として  $\text{H}_2$  /  $\text{N}_2$  の混合ガス等を用いればよい。各層の膜厚は以下の通りである。

n型 GaN 層	3.02	...	2.	0.μm
n型 GaN 層	3.04	...	1.	0.μm
n型 GaN 層	3.05	...	1.	0.μm
例えば、GaN 層のドーパントガスとして $\text{C}_{\text{H}}\text{Cl}$ を用いる場合によると、成膜時間は約 10 分間程度で、成膜速度は約 0.3 μm/min となる。				

ことがわかる。異なる要因を繰り返した結果、3.0秒以上の成長中断によってその効果は徐々に、その後飽和する傾向にあることがわかった。また3.0分以上の成長中断では精晶中からのDNAの脱離が顕著になり型キヤップ率3.0%を成長した場合の表面モロジーが著しく悪化してしまうことがわかった。逆つて本質的ににおける成長中断では精晶中からのDNAの脱離が顕著になり型キヤップ率3.0%を成長した場合の表面モロジーが著しく悪化しないことがわかった。

成長中断時間は、3.0分未満の比較的長い時間とするのが望ましい。また、本構造の効果を引き出すためには上記したようにキャップ層3.05をn型にする必要があるり、從つMgのメモリーフィルムの状況によりn型キャップ層3.05中のSiドーピング量、キャップ層3.05の膜厚の調整が必要である。例えば、図2(a)に示した

[0028] このMgのメモリー効果を抑制し、本発明の目的とするMgの活性化率を高めるためには、以下のようにp型GaN層304中のMg（アクセバター不純物）の不純物濃度、nキャップ層305中のSi（ドナーチャージ流れを考慮すると、nキャップ層のSiの不純物濃度は $2 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ とすることにより）、nキャップ層305の厚さ、不純物の不純物濃度、nキャップ層305の厚さ、

おもに上記成長中断の条件の観察を行なうことが必要である。  
 40 100 [0.29] Mg よおよび USI のドーピング量は、ドーピング層の表面モロロジーとの関係においてその上限が存在する。例えば、GaN 層中の Mg および Si の不純物濃度がそれぞれ  $2 \times 10^{19}$  および  $5 \times 10^{19} \text{ cm}^{-3}$  とすると、界面モロロジーは「 $\alpha$ -スルホ酸モロロジー」である。  
 41 100 [3.1] 図 2 (b) に  $n$  型キャップ層 305 の膜厚と Mg ドーピングされた GaN 層 304 中の H の不純物濃度の関係について示す。ここで  $n$  型キャップ層 305 中の Si の不純物濃度は  $5 \times 10^{19} \text{ cm}^{-3}$ 、Mg ドーピング層 304 中の Mg の不純物濃度は  $1 \times 10^{20} \text{ cm}^{-3}$  である。

る。図2-10)には日本校における例を示す。また、GPNの吸収性を考慮した場合にS1の電気的活性化率はそれぞれ～10%、～90%である。このため、特にMgドーピングにおいてはP型キャリア密度比を図るためにMgの高濃度ドーピングが必要となる。これらの関係からH<sub>3</sub>ガスは供給し難くなる。したときのHの不純物濃度は

2

本研究では、P型 GaN の不純物密度を実質的に  $1 \times 10^{10} \text{ cm}^{-3}$  としている。「実質的」にとは正確に  $1 \times 10^{10} \text{ cm}^{-3}$  とする必要はないが  $10^4$  倍の  $1 \times 10^{14} \text{ cm}^{-3}$  の範囲程度で多少増減があつてもかまわないという意味である。つまり、表面セロジーの流れが生じない優大の不純物密度と同意義に解してよ。

[0030] 図2 (a) は図1の構造においてp型Ga-NP層1.0のMgの不純物密度を $1 \times 10^{19} \text{ cm}^{-3}$ としたもののSIMSによるMgの垂直方向の不純物濃度プロファイルを示す。図2 (a) は2通りの成長中断条件の場合の結果を示すが、成長中断条件によりn型キャッシュ層の厚さが異なる。

成績中筋筋では筋膜中からNの脱離が頻繁になり型キヤン病305を成長した場合の筋膜面モロロジーが著しく悪化してしまうことがわかった。従って本章においては、筋膜中筋筋では筋膜中からNの脱離が頻繁になり型キヤン病305を成長した場合の筋膜面モロロジーが著しく悪化してしまうことがわかった。

成長中断時間は、30分未満の比較的長い時間とすることが望ましい。また、本構造の効果を引き出すためには上記したようにキャップ層305をn型にする必要があり、従つMgのメモリ一効果の状況によりn型キャップ層305中のSiドーピング量、キャップ層305の隣接層が必要である。例えば、図2(a)に示した

3.0秒の成長中条件では、上記したMgおよびSiの電気的活性化率を考慮すると、Siの不純物密度を $1 \times 10^{10} \text{ cm}^{-3}$ 以上することによりその条件を実現できる。また、MgとSiの電荷ドーピングによる表面モロジーアクティベーションを考慮すると、nチャップ層のSiの不純物密度は $2 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ となることにより

[0031] 図2 (b) にn型キャップ層305の膜厚とMgドーピングされたGaN層304中のHの不純物密度の関係について示す。ここでn型キャップ層305中のS1の不純物密度は $5 \times 10^{16} \text{ cm}^{-3}$ 、MgドープGaN層304中のMgの不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ の条件を十分満たすことができる。

アブ群30%が無い場合の結果も〇印で示している。つまりMドーブーN群30.4%の標準偏差とM群チャップ層30.5%を形成せずに基準範囲まで降低(この時成層からのNの影響が無い)ようとして5%原燃料ガスであるN<sub>2</sub>H<sub>3</sub>ガスは供給し続ける)したときのHの不純物濃度は

$5 \times 10^{-9} \text{ cm}^{-3}$  である。一方 n 型キャップ層を形成した場合は n 型キャップ層  $3 \times 10^{-5}$  の膜厚増加とともに H の不純物濃度が減少し、n 型キャップ層  $3 \times 10^{-5}$  の厚さを  $1 \mu\text{m}$  とすれば H の取り込まれれば  $5 \times 10^{-10} \text{ cm}^{-3}$  まで低く、さらには n 型キャップ層  $3 \times 10^{-5}$  の厚さを増大して  $5 \times 10^{-10} \text{ cm}^{-3}$  という H の取り込まれればアンドープもしくは n 型ドープの G-A 層の成長時における値と同等である。また、図 1 に示した構造を逆エンジニアリング成形し、その後上層の n 型 G-A キャップ層  $3 \times 10^{-5}$  を取り除いて M-B ドープ G-A 層の電気特性を測定したこと、低抵抗 (低抵抗率  $1.0 \times 10^{-3} \text{ cm}$ ) で P 型 ( $1 \times 10^{-10} \text{ cm}^{-3}$ ) 特性を示した。この特徴は、從来技術における Mg-ドープ G-A 層を熱アニュールによって活性化（低抵抗化）させた場合のものと同等である。また、両者の抵抗値中に含まれる G-A 層との組合せのものと同等である。

四  
一  
二  
三  
四  
五  
六  
七

四二

アンドープ(又はn-型) GaN層	3.31	....	50 nm
n型GaNクラッド層	3.02	....	0.5 μm
アンドープ(又はn-型) GaN-N活性層	3.03	....	4.0 μm
p型GaNクラッド層	3.04	....	0.1 μm
n型GaNキャップ層	3.05	....	0.1 μm
ここでのn型GaNキャップ層3.05はp型GaNクラッド層3.04の上部の一部に形成され、n型GaNキャップ層3.05の上部の上部およびキャップ層3.05が形成されてp型GaNクラッド層3.04の上部には光が透過することができる。またp型GaNクラッド層3.04の上部には電気光透過率(導電性光透過率)70%と可能である。電波注入用の側面電極3.06が形成されている。電波注入用の側面電極3.06はそれぞれn型GaNクラッド層3.02の表面の一部およびn型GaNキャップ層3.05とその間に形成されている。またn型In-Al-Ga <sub>1-x</sub> -Nベッターエピタキシャル成長層3.31はサブアイスル3.1とその間に形成される。			
この間の格子不整合を緩和された形である。バッファ層3.31は、p型In-Al-Ga <sub>1-x</sub> -N層でもあるが、上層のn型GaNクラッド層3.02よりも低不純物濃度なれば、一定の効果を得ることができる。つまり成長速度を高くしても、表面モホロジーの荒れを防ぐことは可能である。たとえば、バッファ層3.31の成長速度が5×10 <sup>19</sup> cm <sup>-2</sup> ・s <sup>-1</sup> 程度がある場合ではn型GaN層3.32を成長した場合はS1の不純物濃度を8×10 <sup>19</sup> cm <sup>-3</sup> まで高くすることができます。			
[0034] 本実明のn型GaNキャップ層3.05は製造工程の途中においては、p型GaNクラッド層3.04と(a)を用いて説明する。			

<sup>13</sup> [0036] (a) サファイア基板301の上にMO—CVD法等を用いて図4(a)に示すようく厚さ50nmのn型In<sub>x</sub>Al<sub>1-x</sub>Nガラス層31、厚さ0.5μmのアンドープ(又は「型」)GaN層32、厚さ4.0μmのn型GaNクラッド層302、厚さ0.1μmのアンドープIn<sub>x</sub>GaN層303、厚さ0.5μmのp型GaNクラッド層304、厚さ1.0μmのn型GaNキャップ層305を連続成長する。たとえば、高周波(RF)誘導加熱方式の減圧CVD炉又は常圧CVD炉で、所定の温度で、有機金属化合物等の3族元素原料ガス及びアンモニア(NH<sub>3</sub>)等の5族元素原料ガスを導入して成長すればよい。具体的には、850℃～1200℃の基板温度において3族元素原料ガスとしてGaN(CH<sub>3</sub>)<sub>3</sub>、In(C

[0036] (a) サブファイア基板301の上にMO-  
CVD法等を用いて図4(a)に示すように厚さ50nmの膜型In-Al-Ga<sub>1-x-y</sub>Nバッファ層331、  
厚さ0.5μmのアンドープ(又はn-型)GaN層332、  
厚さ4.0μmのn型GaNクラッド層3302、  
厚さ0.1μmのアンドープIn<sub>x</sub>Ga<sub>1-x</sub>N層3303  
3. 厚さ0.5μmのp型GaNクラッド層304、厚  
さ1.0μmのn型GaNキャップ層305を順次成長  
する。たとえば、高周波(RF)熱炉加熱方式の搬送C  
VD炉又は常圧CVD炉で、所定の温度で、有機金属化  
合物等の3族元素原料ガス及びアンモニア(NH<sub>3</sub>)等  
の5族元素原料ガスを導入して成長すればよい。具体的  
には、850℃～1200℃の基板温度において3族元  
素原料ガスとしてG<sub>4</sub>(CH<sub>3</sub>)<sub>3</sub>、In(C

8を形成する。n側電極307、p側電極308の形成もリフト・オフ法を用いればよい。すなわちn側電極307形成予定期分以外をフォトレジストでカバーし、A u、Ti、Al、Ni等の金属材料をスパッタリング法で真空蒸着法で堆積し、その後フォトレジストを除去すればn側オーフォトマスクの位置のみにn側電極307が形成できる。p側電極についても同様である。

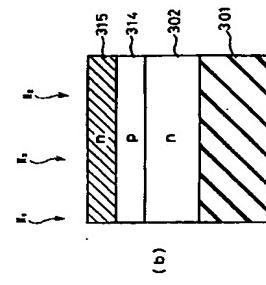
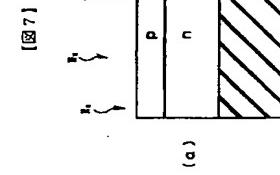
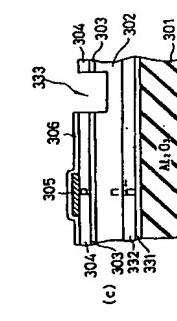
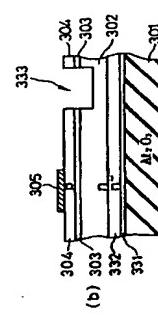
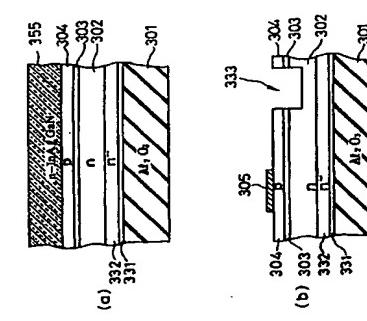
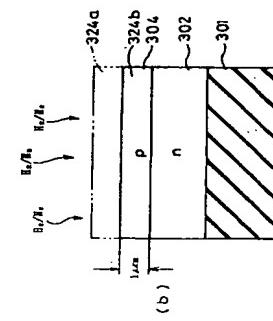
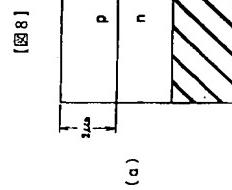
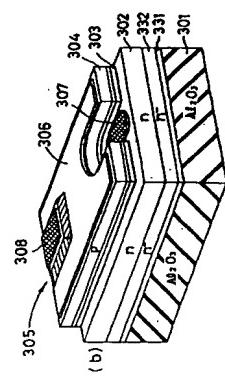
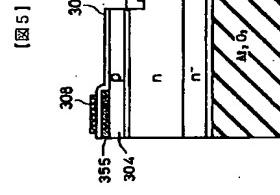
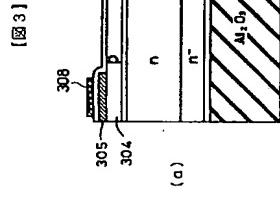
[00040] (e) 以上のようにして、GaN系LEDの基本構造が完成した後、ダイシング工程を行なわせ、チタニアモンドカッターで前もってメサエンチャングされたスクライプ・ライン上を切断し、適当大きさに切り分けて多數のチップを得る。そしてこれらのチップを所定の位置にマウントし、ワイヤーフレーム (ワイヤーフレーム) によってモールディングすれば本発明のGaN系

8を形成する。n側電極307、p側電極308の形成もリフト・オフ法を用いればよい。すなわちn側電極307が形成予定部分以外をフォトレジストでカバーし、A u、Ti、Al、Ni等の金属材料をスパッタリング法又は真空蒸着法で堆積し、その後フォトレジストを除去すればU33-33の遮光部の所定の位置にn側電極307が形成できる。p側電極については同様である。

[0040] (e) 以上のようにして、GaN系LEDの基本構造が完成した後、ダイシング工程を行う。すなわちダイヤモンドカッターで前もってカッティングされただスクライブ・ライン上を切断し、適当な大きさに切り分けて多數のチップを得る。そしてこれらのチップを所定のシステム(ワイヤーフレーム)にマウントし、ワイヤーバンディングすれば本発明のGaN系







**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**